

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2005 年 2 月 17 日 (17.02.2005)

PCT

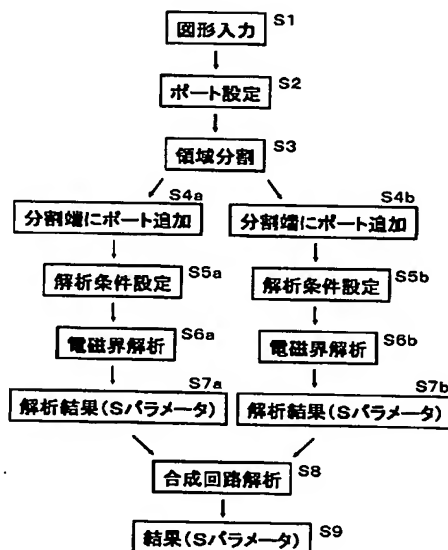
(10) 国際公開番号
WO 2005/015449 A1

- (51) 国際特許分類⁷: G06F 17/50, H05K 3/00, G01R 29/08
- (21) 国際出願番号: PCT/JP2004/011242
- (22) 国際出願日: 2004 年 8 月 5 日 (05.08.2004)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2003-288703 2003 年 8 月 7 日 (07.08.2003) JP
- (71) 出願人 (米国を除く全ての指定国について): 松下電器産業株式会社 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) [JP/JP]; 〒5718501 大阪府門真市大字門真 1006 番地 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 瓜生 一英 (URIU, Kazuhide), 山田 徹 (YAMADA, Toru), 佐々木 幸紀 (SASAKI, Yukinori).
- (74) 代理人: 河宮 治, 外 (KAWAMIYA, Osamu et al.); 〒5400001 大阪府大阪市中央区見 1 丁目 3 番 7 号 IMP ビル 青山特許事務所 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA,

[続葉有]

(54) Title: METHOD AND DEVICE FOR ELECTROMAGNETIC FIELD ANALYSIS OF CIRCUIT BOARD, AND CIRCUIT BOARD AND ITS DESIGN METHOD

(54) 発明の名称: 回路基板の電磁界解析方法および装置ならびに回路基板およびその設計方法



S1...DIAGRAM INPUT

S2...PORT SETTING

S3...AREA DIVISION

S4a...PORT ADDITION AT DIVISION EDGE

S4b...PORT ADDITION AT DIVISION EDGE

S5a...ANALYSIS CONDITION SETTING

S5b...ANALYSIS CONDITION SETTING

S6a...ELECTROMAGNETIC FIELD ANALYSIS

S6b...ELECTROMAGNETIC FIELD ANALYSIS

S7a...ANALYSIS RESULT (S PARAMETER)

S7b...ANALYSIS RESULT (S PARAMETER)

S8...ANALYSIS OF COMBINED CIRCUIT

S9...RESULT (S PARAMETER)

(57) Abstract: An electromagnetic field analyzing method includes a step (S1) of initializing a conductor pattern form in each layer of a multilayer circuit board, a step (S2) of initializing a port for signal input/output from/to outside in the conductor pattern, a step (S3) of two-dimensionally dividing the multilayer circuit board into a plurality of areas, steps (S4a, S4b) of setting an additional port on the edge of the new conductor pattern formed by the area division, steps (S5a, S5b) of setting individual analysis conditions for the initial port and the additional port, steps (S6a, S6b) of conducting the electromagnetic field analysis for every divided area on the multilayer circuit board based on the corresponding analysis conditions, and a step (S8) of combining the results of electromagnetic analysis on the divided areas and obtaining the electromagnetic analysis result on the entire board. In this way, an electromagnetic analysis on a multilayer circuit board can be conducted in a short time, greatly reducing the time and cost needed for circuit board design.

(57) 要約: 電磁界解析方法は、多層回路基板における各層での導体パターンの形状を初期設定するステップ S1 と、導体パターンにおいて、外部からの信号入力または外部への信号出力のためのポートを初期設定するステップ S2 と、多層回路基板を複数のエリアに二次元的に分割するステップ S3 と、エリア分割によって新たに生成された導体パターンのエッジに、追加のポートを設定するステップ S4a、S4b と、初期のポートおよび追加のポートについて個別の解析条件

[続葉有]



NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF,

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

をそれぞれ設定するステップS5a, S5bと、該解析条件に基づいて、多層回路基板での電磁界解析を分割エリアごとに実行するステップS6a, S6bと、各分割エリアに関する電磁界解析の結果を合成して、基板全体の電磁界解析の結果を得るステップS8とを含む。こうした手法により、多層回路基板の電磁界解析を短時間で実行でき、回路基板の設計に要する時間およびコストを大幅に低減できる。

明 細 書

回路基板の電磁界解析方法および装置ならびに回路基板およびその設計方法

技術分野

- [0001] 本発明は、各種電子機器に用いられる回路基板の電磁界解析方法および装置、ならびに回路基板およびその設計方法に関する。

背景技術

- [0002] 従来から、回路基板を電磁界シミュレーションによって設計する試みが行われている。これは、従来の電子機器はますます高精度化され、また小型・高集積化されるために回路基板自体が導体パターンを複数層有する。そのため、導体パターン間の電磁氣的干渉によって、技術者の経験だけでは当初の設計通りの特性が得られなくなるためである。電磁界解析シミュレータを用いて解析するという方法が考えられる。従来、電磁界シミュレーションには、Agilent Technologies社製 ADS MomentumやSonnet社製SonnetやAnsoft社製RF Designer、などが知られている。
- [0003] 図10は、従来の電磁界シミュレーションの一例を示すフローチャートである。まずステップA1では、多層回路基板における各層での導体パターンの形状を初期設定する。次にステップA2では、導体パターンにおいて、外部からの信号入力または外部への信号出力のためのポートを初期設定する。次にステップA3では、初期設定したポートなどについて個別の解析条件をそれぞれ設定する。次にステップA4では、解析条件に基づいて多層回路基板の電磁界解析を実行する。次のステップA5で電磁界解析の結果が得られる。
- [0004] しかしながら、従来の回路基板は非常に高価になりやすいものである。すなわち、上述したように回路基板は導体パターンを複数層有する小型かつ高集積化された物であるために、各種導体パターンが電磁氣的な干渉をする。それを回避するために電磁界シミュレーションにより導体パターンを設計しようとする、この回路基板中に含まれる導体パターンが多数存在するため、電磁界シミュレーションで組み合わせを検証して最適設計しようすると、最低でも数週間の計算が必要となる。

[0005] このように一つの回路基板を電磁界シミュレーションで設計する場合に数日かかってしまう事は、この回路基板を高価にしてしまう原因であった。また、素子間の電磁氣的干渉を排除するために、それぞれの素子を水平方向のみに配置するとその素子間の電磁氣的干渉を排除することは可能となるが、その素子間を接続する線路が発生し、その線路間或いは素子と線路間など様々な電磁氣的干渉が発生するため、前述同様に所望の特性が得られず、設計期間が長時間かかることとなり、回路基板を高価にしてしまう原因であった。

[0006] なお、下記特許文献1には、素子間の電磁氣的干渉を排除するために、それぞれの素子を水平方向のみに配置するという回路基板の設計手法について記載されている。

[0007] 特許文献1：特開2003-16133号公報（第5-8頁、図1）

発明の開示

発明が解決しようとする課題

[0008] 本発明の目的は、多層回路基板の電磁界解析を短時間で実行でき、回路基板の設計に要する時間およびコストを大幅に低減できる回路基板の電磁界解析方法および装置ならびに回路基板およびその設計方法を提供することである。

課題を解決するための手段

[0009] 本発明に係る回路基板の電磁界解析方法は、導体パターンの形状および信号解析条件を用いて電磁界解析を実行するものであって、

多層回路基板における各層での導体パターンの形状を初期設定するステップと、
導体パターンにおいて、外部からの信号入力または外部への信号出力のためのポートを初期設定するステップと、

多層回路基板を複数のエリアに二次元的に分割するステップと、
エリア分割によって新たに生成された導体パターンのエッジに、追加のポートを設定するステップと、

初期のポートおよび追加のポートについて個別の解析条件をそれぞれ設定するステップと、

該解析条件に基づいて、多層回路基板での電磁界解析を分割エリアごとに実行す

るステップと、

各分割エリアに関する電磁界解析の結果を合成して、基板全体の電磁界解析の結果を得るステップとを含む。

[0010] 本発明において、多層回路基板を複数のエリアに分割するステップにおいて、互いに平行な複数の直線を含む分割線を用いて二次元的に分割することが好ましい。

[0011] また本発明において、多層回路基板を複数のエリアに分割するステップにおいて、互いに垂直な複数の直線を含む分割線を用いて二次元的に分割することが好ましい。

[0012] また本発明において、多層回路基板を複数のエリアに分割するステップにおいて、折れ線または曲線を含む分割線を用いて二次元的に分割することが好ましい。

[0013] また本発明において、多層回路基板を複数のエリアに分割するステップにおいて、ディスプレイ画面上に多層回路基板の平面図を表示し、ポインティングデバイスを用いて分割線の形状を指定することが好ましい。

[0014] また本発明において、エリア分割によって新たに生成された導体パターンのエッジ数を算出することが好ましい。

[0015] また本発明において、追加のポートを設定するステップにおいて、算出したエッジ数に対応した個数のポートを追加することが好ましい。

[0016] また本発明において、追加のポートを設定するステップにおいて、エッジ中心にポートを追加することが好ましい。

[0017] また本発明において、ある層での導体パターンのエッジに設けられたポート位置と、他の層での導体パターンエッジに設けられたポート位置とが一致した場合、いずれか一方のポート位置をずらしてディスプレイ画面上に表示することが好ましい。

[0018] また本発明において、特定の分割エリアに含まれる導体パターンの形状を変化させて、該分割エリアについて電磁界解析を再度実行するステップと、

該分割エリアに関する電磁界解析の結果と他の分割エリアに関する電磁界解析の結果を合成して、基板全体の電磁界解析の結果を得るステップとを含むことが好ましい。

[0019] 本発明に係る回路基板の電磁界解析装置は、導体パターンの形状および信号解

析条件を用いて電磁界解析を実行するものであって、

多層回路基板における各層での導体パターンの形状を初期設定するための手段と、

導体パターンにおいて、外部からの信号入力または外部への信号出力のためのポートを初期設定するための手段と、

多層回路基板を複数のエリアに二次元的に分割するための手段と、

エリア分割によって新たに生成された導体パターンのエッジに、追加のポートを設定するための手段と、

初期のポートおよび追加のポートについて個別の解析条件をそれぞれ設定するための手段と、

該解析条件に基づいて、多層回路基板での電磁界解析を分割エリアごとに実行するための手段と、

各分割エリアに関する電磁界解析の結果を合成して、基板全体の電磁界解析の結果を得るための手段とを備える。

[0020] 本発明に係る回路基板は、導体パターンを複数層有する矩形状のものであって、

前記導体パターンに複数のスパイラルインダクタンスパターンを含み、

前記回路基板の少なくとも3つのコーナー部に、前記複数のスパイラルインダクタンスパターンの内の3つが配置されている。

[0021] 本発明において、前記回路基板の前記3つのコーナー部に配置された前記スパイラルインダクタンスパターンが、

前記コーナー部の頂点から前記スパイラルインダクタンスパターンまでの最短距離 $L1$ と、前記スパイラルインダクタンスパターンの外接円の直径 $L2$ の関係が、 $L1 \leq L2$ となるように配置されていることが好ましい。

[0022] 本発明に係る積層デバイスは、上記の回路基板と、

回路基板に搭載された半導体集積回路とを備える。

本発明に係る回路基板の設計方法は、複数のスパイラルインダクタンスパターンを含む導体パターンを複数層有する回路基板の設計方法であって、

前記回路基板を分割線により複数の分割エリアに分割するステップと、

前記複数の分割エリア毎にシミュレーションによって回路パターンを設計するステップと、を有し、

前記分割線は、前記回路基板内に複数配置される前記スパイラルインダクタンスパターンの中の2つ以上を分断しないようにしている。

[0023] 本発明において、複数のスパイラルインダクタンスパターンを含む導体パターンを複数層有する回路基板の設計方法であって、

前記回路基板の少なくとも3つのコーナー部に、前記複数のスパイラルインダクタンスパターンの中の3つが配置されていることが好ましい。

発明の効果

[0024] 本発明に係る回路基板の電磁界解析方法および装置によれば、回路基板を複数のエリアに分割して、分割エリアごとに電磁界シミュレーションを実行した結果を合成している。こうした手法により電磁界シミュレーションの実行時間が格段に短縮できるため、回路基板の設計に要する時間およびコストを大幅に低減できる。また、シミュレーション結果が短時間で得られるため、回路基板の設計へのフィードバックが容易になり、回路基板の最適化設計が図られる。

[0025] また本発明に係る回路基板およびその設計方法によれば、複数のスパイラルインダクタンスパターンを含む導体パターンを複数層有する回路基板のシミュレーション時間を大幅に短縮することができる。そのため、回路基板のコストダウンに大きく貢献することができる。また、得られた結果としては、分割せずにシミュレーションを行った結果とほとんど変わらず、実用に十分に対応する設計が可能となる。

図面の簡単な説明

[0026] [図1]本発明に係る電磁界シミュレーションの一例を示すフローチャートである。

[図2]図2Aー図2Eは、シミュレーションの動作状態を示す説明図である。

[図3]図3Aー図3Cは、本発明に係る電磁界シミュレーションにおいてエリア分割の他の例を示す説明図である。

[図4]図4Aー図4Cは、本発明に係る電磁界シミュレーションにおいてエリア分割のさらに他の例を示す説明図である。

[図5]本発明の第4実施形態としてアンテナスイッチ回路を示すブロック図である。

[図6]アンテナスイッチ回路の回路図である。

[図7]アンテナスイッチ回路が実装された回路基板を示す斜視図である。

[図8]図7に示した回路基板の平面図である。

[図9]図7に示した回路基板の分解斜視図である。

[図10]従来の電磁界シミュレーションの一例を示すフローチャートである。

符号の説明

- [0027]
- 1 アンテナ端子
 - 2, 3, 4 電源端子
 - 5 ダイプレクサ
 - 6, 7, 8 スイッチ回路
 - 9, 10 フィルタ
 - 11 GSM用送信端子
 - 12 GSM用受信端子
 - 13 DCS/PCS用送信端子
 - 14 DCS用受信端子
 - 15 PCS用受信端子
 - 16 回路基板
 - 17 電子部品
 - 18〜25 インダクタ
 - 26〜42 誘電体層
 - 43 電極パターン
 - 44, 45, 46 分割線
 - 47〜50 分割エリア
 - 51〜68 コンデンサ
 - 80 多層回路基板
 - 81 電気絶縁基板
 - 82, 83 導体パターン

発明を実施するための最良の形態

[0028] 以下、本発明の実施形態について添付図面を参照しながら説明する。

[0029] (実施形態1)

図1は、本発明に係る電磁界シミュレーションの一例を示すフローチャートである。図2A～図2Eは、シミュレーションの動作状態を示す説明図である。電磁界シミュレータは、パーソナルコンピュータ上で実行可能なソフトウェアで構成される。パーソナルコンピュータは、キーボードなどの入力デバイス、マウスなどのポインティングデバイス、液晶ディスプレイパネルなどの表示デバイス、ハードディスクや光ディスクなどの大容量記憶デバイス、マイクロプロセッサなどの演算デバイス、ネットワークデバイスなどで構成される。

[0030] 導体パターンの形状および信号解析条件など、シミュレーションに必要な各種データは、キーボードやマウスを用いて入力したり、大容量記憶デバイスに格納されたファイルから入力したり、あるいはネットワーク経由で他のコンピュータから入力することが可能である。シミュレーション結果は、表示デバイスの画面上に表示したり、大容量記憶デバイスに格納したり、ネットワーク経由で他のコンピュータやプリンタへ出力することが可能である。

[0031] まず、図1のステップS1において、多層回路基板における各層での導体パターンの形状を初期設定する。多層回路基板は、セラミックなどの電気絶縁基板および該基板上に形成された導体パターンを一層として、複数の層が積層されたものである。例えば、図2Aに示すように、多層回路基板80の最上にある第1層において、電気絶縁基板81の上に2本の導体パターン82、83がx方向に沿って平行に配置されている場合、ステップS1において、第1層についての導体パターン82、83の各寸法および位置に関する形状パラメータを入力する。第2層以下についても同様に、各層ごとに導体パターンの形状パラメータを入力する。形状パラメータは、層番号、導体番号、導体の原点座標(x, y)、パターン長、パターン幅などを含む。導体パターンが円や楕円、曲線を含む場合、形状特定に必要なパラメータ、例えば、半径、中心座標、扁平率などを追加することができる。

[0032] こうした導体パターン形状の入力方法として、オペレータによる直接入力、CADソフトウェアを用いた図形入力、他のCADソフトウェアで作成された図形データを互換

性のあるデータ(例えば、DXFフォーマット)を経由して電磁界シミュレータにインポートする方法、回路基板データベースファイルからのインポート、などが可能である。

[0033] 次に、ステップS2では、個々の導体パターンにおいて外部からの信号入力または外部への信号出力のためのポートを初期設定する。例えば、図2Bに示すように、第1層において導体パターン82の左エッジにポートp1、その右エッジにポートp2、導体パターン83の左エッジにポートp3、その右エッジにポートp4を設定する。第2層以下についても同様に、各層の導体パターンのエッジに入出力ポートを設定する。各ポートは、層番号、導体番号、位置座標(x, y)などのパラメータで識別される。

[0034] 次に、ステップS3では、多層回路基板を複数のエリアに二次元的に分割する。ここでは、理解容易のために多層回路基板を2つのエリアに分割した例を示すが、3つ以上のエリアに分割することも可能である。例えば、図2Bに示すように、多層回路基板80をy方向に延びる直線状の分割線L1で分割した場合、図2Cに示すように、第1層において導体パターン82、83の左部分82a、83aを含む第1分割エリアと、導体パターン82、83の右部分82b、83bを含む第2分割エリアとに区分される。第2層以下についても同様に、各層の導体パターンは分割線L1によって第1分割エリアと第2分割エリアに分割される。

[0035] 複数のエリアに分割する際、エリア分割によって新たに生成された導体パターンのエッジ数を算出することが好ましい。例えば、分割線と各層の導体パターンが交差した数をカウントすることによって、導体パターンのエッジ数が得られる。こうしたエッジ数を算出することによって、後のステップで追加すべきポート数を自動的に算出できるため、処理の自動化が図られる。

[0036] 第1分割エリアに属する多層回路基板については、図1のステップS4a〜S7aを実行する。第2分割エリアに属する多層回路基板については、図1のステップS4b〜S7bを実行する。

[0037] ステップS4a、S4bでは、エリア分割によって新たに生成された導体パターンのエッジに、追加のポートを設定する。例えば、図2Dに示すように、第1層において左部分82a、83aの右エッジにポートp5、p7を追加し、右部分82b、83bの左エッジにポートp6、p8を追加している。第2層以下についても同様に、各層の導体パターンにおい

て新たに生成されたエッジにポートを追加する。図2Dに示すポートp9, p10は、第1層以外の層での導体パターンのエッジに追加されたものである。追加されたポートは、初期のポートと同様に、層番号、導体番号、位置座標(x, y)などのパラメータで識別される。

[0038] ポートを追加する際、オペレータがマニュアル操作によって追加ポートを指定してもよいが、上述したように自動的に算出したエッジ数に対応した個数のポートを自動的に追加してもよく、これにより処理の自動化が図られる。

[0039] また、ポートを追加する際、信号の伝搬状態を考慮すると、導体パターンのエッジ中心にポートを追加することが好ましい。

[0040] 次にステップS5a, S5bでは、初期のポートおよび追加のポートについて個別の信号解析条件をそれぞれ設定する。例えば、図2Dに示すように、各層に存在するポートp1〜p10ごとに、信号解析条件のうち既知のパラメータと未知のパラメータをそれぞれ設定する。信号解析条件として、一般には、Sパラメータ(Scattering parameter)に関する入射波および反射波の複素振幅、あるいはFパラメータ(image parameter)、Zパラメータ(open-circuit impedance parameter)およびYパラメータ(short-circuit admittance parameter)に関する電流および電圧の複素振幅などが採用される。また、回路基板に関する解析条件については、多層回路基板などの層構成、例えば、層の厚み、電極の配置、電極の導電率、絶縁体層の誘電率などが設定される。

[0041] 次にステップS6a, S6bでは、各ポートに設定された信号解析条件に基づいて、多層回路基板での電磁界解析を分割エリアごとに実行する。例えば、図2Dに示すように、左側の第1分割エリアに属する多層回路基板については、ポートp1, p3, p5, p7, p9に設定された信号解析条件に基づいて電磁界解析を実行する。一方、右側の第2分割エリアに属する多層回路基板については、ポートp2, p4, p6, p8, p10に設定された信号解析条件に基づいて電磁界解析を実行する。

[0042] 次にステップS7aでは、第1分割エリアに関する電磁界解析の結果が得られ、一方、ステップS7bでは、第2分割エリアに関する電磁界解析の結果が得られ、その結果、ポートp1〜p10についての未知のパラメータ、例えば信号応答(Sパラメータ)などが算出される。

[0043] 次にステップS8では、各分割エリアに関する電磁界解析の結果を合成して、次にステップS9では、基板全体の電磁界解析の結果が得られる。例えば、図2Eに示すように、第1分割エリアのポートp5と第2分割エリアのポートp6を結合し、第1分割エリアのポートp7と第2分割エリアのポートp8を結合し、第1分割エリアのポートp9と第2分割エリアのポートp10を結合すると、図2Bに示す原形の高層回路基板80を再構築できる。その結果、初期のポートp1～p4について算出された未知のパラメータを取り出すことによって、高層回路基板80全体についての電磁界解析の結果、例えば、回路基板全体のSパラメータが得られる。得られたSパラメータは、必要に応じて、所定の換算式を用いてFパラメータ、Zパラメータ、Yパラメータなどに変換できる。

[0044] このように本実施形態では、回路基板全体について電磁界シミュレーションを実行するのではなく、回路基板を複数のエリアに分割して、分割エリアごとに電磁界シミュレーションを実行した結果を合成している。こうした手法により電磁界シミュレーションの実行時間が、従来は約1週間必要であったものが、本発明では約3時間に短縮できるため、回路基板の設計に要する時間およびコストを大幅に低減できる。また、シミュレーション結果が短時間で得られるため、回路基板の設計へのフィードバックが容易になり、回路基板の最適化設計が図られる。

[0045] (実施形態2)

図3A～図3Cは、本発明に係る電磁界シミュレーションにおいてエリア分割の他の例を示す説明図である。本実施形態において、電磁界シミュレーションの動作は上述のものと同様であるが、図1のステップS3で、互いに平行な複数の直線を含む分割線を用いて高層回路基板を複数のエリアに二次元的に分割している。

[0046] 例えば、図3Aに示すように、図2Bと同様、高層回路基板80をy方向に延びる直線状の分割線L1で分割して、続いて図3Bに示すように、左側の分割エリアをy方向に延びる直線状の分割線L2で分割し、右側の分割エリアをy方向に延びる直線状の分割線L3で分割して、最終的に全部で4つのエリアに分割している。ここでは、高層回路基板を4つの矩形状エリアに分割する例を示すが、5つ以上のエリアに分割することも可能である。

[0047] 図3Cに示すように、最も左側に位置する第1分割エリアは、高層回路基板80の第

1層において導体パターン82, 83の小部分82c, 83cを含む。左から2番目に位置する第2分割エリアは、第1層において導体パターン82, 83の小部分82d, 83dを含む。左から3番目に位置する第3分割エリアは、第1層において導体パターン82, 83の小部分82e, 83eを含む。左から4番目に位置する第4分割エリアは、第1層において導体パターン82, 83の小部分82f, 83fを含む。第2層以下についても同様に、各層の導体パターンは互いに平行な分割線L1〜L3によって第1分割エリア〜第4分割エリアに分割される。

[0048] 第1分割エリア〜第4分割エリアについては、図1のステップS4a〜S7aと同様なステップを個別に実行する。例えば、図3Cに示すように、第1層において小部分82c, 83cの右エッジにポートp11, p13を追加し、小部分82d, 83dの左エッジにポートp12, p14を追加し、小部分82d, 83dの右エッジにポートp5, p7を追加し、小部分82e, 83eの左エッジにポートp6, p8を追加し、小部分82e, 83eの右エッジにポートp17, p19を追加し、小部分82f, 83fの左エッジにポートp18, p20を追加している。第2層以下についても同様に、各層の導体パターンにおいて新たに生成されたエッジにポートを追加する。図3Cに示すポートp9, p10, p15, p16, p21, p22は、第1層以外の層での導体パターンのエッジに追加されたものである。追加されたポートは、初期のポートと同様に、層番号、導体番号、位置座標(x, y)などのパラメータで識別される。

[0049] 次に、図1のステップS5aと同様に、初期のポートおよび追加のポートについて個別の信号解析条件をそれぞれ設定する。図3Cに示すように、各層に存在するポートp1〜p22ごとに、信号解析条件のうち既知のパラメータと未知のパラメータをそれぞれ設定する。

[0050] 次に、図1のステップS6aと同様に、各ポートに設定された信号解析条件に基づいて、多層回路基板での電磁界解析を分割エリアごとに実行する。次に、図1のステップS7aと同様に、各分割エリアに関する電磁界解析の結果が得られ、その結果、ポートp1〜p22についての未知のパラメータが算出される。

[0051] 次に、図1のステップS8と同様に、各分割エリアに関する電磁界解析の結果を合成して、次に図1のステップS9と同様に、基板全体の電磁界解析の結果が得られる。図

3Cにおいて、図2Eと同様に、第1分割エリアおよび第2分割エリアに関して、ポートp11とポートp12を結合し、ポートp13とポートp14を結合し、ポートp15とポートp16を結合する。また、第2分割エリアおよび第3分割エリアに関して、ポートp5とポートp6を結合し、ポートp7とポートp8を結合し、ポートp9とポートp10を結合する。また、第3分割エリアおよび第4分割エリアに関して、ポートp17とポートp18を結合し、ポートp19とポートp20を結合し、ポートp21とポートp22を結合する。その結果、図3Aに示す原形の多層回路基板80が再構築され、初期のポートp1〜p4について算出された未知のパラメータを取り出すことによって、多層回路基板80全体についての電磁界解析の結果が得られる。

[0052] このように本実施形態では、互いに平行な複数の直線を含む分割線を用いて多層回路基板を二次元的に分割している。こうした手法により、分割線の指定が容易で、分割エリアの数を簡単に増加できるため、シミュレーション結果がより短い時間で得られるようになる。

[0053] (実施形態3)

図4A〜図4Cは、本発明に係る電磁界シミュレーションにおいてエリア分割のさらに他の例を示す説明図である。本実施形態において、電磁界シミュレーションの動作は上述のものと同様であるが、図1のステップS3で、互いに垂直な複数の直線を含む分割線を用いて多層回路基板を複数のエリアに二次元的に分割している。

[0054] 例えば、図4Aに示すように、図2Bと同様、多層回路基板80をy方向に延びる直線状の分割線L1で分割して、続いて図4Bに示すように、左側の分割エリアをx方向に延びる直線状の分割線L4で分割し、右側の分割エリアをx方向に延びる直線状の分割線L5で分割して、最終的に全部で4つのエリアに分割している。ここでは、多層回路基板を4つの矩形状エリアに分割する例を示すが、5つ以上のエリアに分割することも可能である。

[0055] 図4Cに示すように、左上側に位置する第1分割エリアは、多層回路基板80の第1層において導体パターン82の部分82aを含む。左下側に位置する第2分割エリアは、第1層において導体パターン83の部分83aを含む。右上側に位置する第3分割エリアは、第1層において導体パターン82の部分83bを含む。右下側に位置する第4

分割エリアは、第1層において導体パターン83の部分83bを含む。第2層以下についても同様に、各層の導体パターンは互いに垂直な分割線L1, L4, L5によって第1分割エリアー第4分割エリアに分割される。

[0056] 第1分割エリアー第4分割エリアについては、図1のステップS4aーS7aと同様なステップを個別に実行する。例えば、図4Cに示すように、第1層において部分82aの右エッジにポートp5を追加し、部分83aの右エッジにポートp7を追加し、部分82bの左エッジにポートp6を追加し、部分83bの左エッジにポートp8を追加している。第2層以下についても同様に、各層の導体パターンにおいて新たに生成されたエッジにポートを追加する。図4Cに示すポートp31ーp38は、第1層以外の層での導体パターンのエッジに追加されたものである。追加されたポートは、初期のポートと同様に、層番号、導体番号、位置座標(x, y)などのパラメータで識別される。

[0057] ポートを追加する際、ある層での導体パターンのエッジに設けられたポート位置と、他の層での導体パターンのエッジに設けられたポート位置とが一致した場合、いずれか一方のポート位置をずらしてディスプレイ画面上に表示することが好ましい。例えば、ポートp31ーp34が、基板の平面図において、第1層でのポートp5ーp8の位置と一致している場合、図4Cに示すように、ポートp31ーp34の位置をずらしてディスプレイ画面上に表示することによって、視覚的に見やすくなり、オペレータの誤操作を防止することができる。なお、ポート位置をずらして表示した場合でも、現実のポート位置が電磁界解析のために用いられる。また、現実のポート位置とディスプレイ上の位置が異なる場合もあるが、意図的にポート位置をずらして解析することも可能である。

[0058] 次に、図1のステップS5aと同様に、初期のポートおよび追加のポートについて個別の信号解析条件をそれぞれ設定する。図4Cに示すように、各層に存在するポートp1ーp8, p31ーp38ごとに、信号解析条件のうち既知のパラメータと未知のパラメータをそれぞれ設定する。

[0059] 次に、図1のステップS6aと同様に、各ポートに設定された信号解析条件に基づいて、多層回路基板での電磁界解析を分割エリアごとに実行する。次に、図1のステップS7aと同様に、各分割エリアに関する電磁界解析の結果が得られ、その結果、ポ

ートp1〜p8, p31〜p38についての未知のパラメータが算出される。

[0060] 次に、図1のステップS8と同様に、各分割エリアに関する電磁界解析の結果を合成して、次に図1のステップS9と同様に、基板全体の電磁界解析の結果が得られる。図4Cにおいて、図2Eと同様に、第1分割エリアおよび第2分割エリアに関して、ポートp35とポートp36を結合する。また、第1分割エリアおよび第3分割エリアに関して、ポートp5とポートp6を結合し、ポートp31とポートp32を結合する。また、第2分割エリアおよび第4分割エリアに関して、ポートp7とポートp8を結合し、ポートp33とポートp34を結合する。また、第2分割エリアおよび第4分割エリアに関して、ポートp37とポートp38を結合する。その結果、図4Aに示す原形が多層回路基板80が再構築され、初期のポートp1〜p4について算出された未知のパラメータを取り出すことによって、多層回路基板80全体についての電磁界解析の結果が得られる。

[0061] このように本実施形態では、互いに垂直な複数の直線を含む分割線を用いて多層回路基板を二次元的に分割している。こうした手法により、分割線の指定が容易で、分割エリアの数を簡単に増加できるため、シミュレーション結果がより短い時間で得られるようになる。

[0062] なお、上述した各実施形態において、直線状の分割線を用いて多層回路基板を分割する例を示したが、折れ線または曲線を含む分割線を用いて二次元的に分割することも可能である。これにより複雑な導体パターン形状を有する多層回路基板であっても、導体パターンの分割エッジ数が極力少なくなるようにエリア分割できるため、シミュレーション実行時間の短縮化が図られる。

[0063] また、エリア分割線を指定する手法として、ディスプレイ画面上に多層回路基板の平面図を表示し、マウスなどのポインティングデバイスを用いて分割線の形状を指定することも可能である。これにより複雑な導体パターン形状を有する多層回路基板であっても、視覚的な操作によって複雑な形状を有する分割線を容易に指定することができる。

[0064] (実施形態4)

図5は、本発明の第4実施形態としてアンテナスイッチ回路を示すブロック図である。このアンテナスイッチ回路基板のブロック構成は良く知られているようにアンテナ端

子1、電源端子2、3、4、ダイプレクサ5、スイッチ回路6、7、8、フィルタ9、10で構成されているものである。この例では、GSM/DCS/PCS方式のアンテナスイッチ回路基板であるので、端子としては、GSM用送信端子11、GSM用受信端子12、DCS/PCS用送信端子13、DCS用受信端子14、PCS用受信端子15が設けられている。

[0065] 図5に示したアンテナスイッチ回路のブロック図は、それぞれ図6に示すような電気回路で構成される。

[0066] また、図7は、アンテナスイッチ回路基板に各種部品を実装した状態を示している。このように、図7において回路基板16上に各種電子部品17を実装した状態で、電気回路に表したものが図6である。図6に示す回路を良く知られた回路であるので、その主要部分のみについて以下に説明する。

[0067] 図5のダイプレクサ5において、インダクタ18、19、20は、図7における回路基板16に内蔵、或いは表裏面に描かれるパターンである。また、図5におけるスイッチ回路6、7、8においてはインダクタ21、22、23が、図7における回路基板16に内蔵、或いは表裏面に描かれるパターンとなる。更に、図5におけるフィルタ9、10においてはインダクタ24、25が、図7における回路基板16に内蔵、或いは表裏面に描かれるパターンとなる。なお、基板16に内蔵、或いは表裏面に描かれるインダクタパターンと基板表面に実装されるインダクタ部品との組合せによって、インダクタを構成することも可能である。

[0068] これらの内蔵されるインダクタンスパターン18ー25は、具体的には図9に示すように回路基板16内に設けられているものである。すなわち、この図9に示すように回路基板16は、例えば、17層からなる誘電体層26ー42を持ち、この数字の順序に沿って積層され、焼結することにより一体化されたものである。ただし、誘電体層42の下面には電極パターン43が設けられている。図9に示す通り、図6に示すインダクタ18ー25は、図9に示した各誘電体層にそれぞれ分散して配置されている。ここで、誘電体層37に配置されているインダクタ21、23、24、25は、この矩形状の誘電体層37の4つのコーナ一部に分散して配置されている。このことを、次に図8を用いて具体的に説明する。

[0069] 図8は、回路基板16を表面から見た状態を示している。回路基板16には、図5に示したダイプレクサ5、スイッチ回路6、7、8、フィルタ9、10が配置されている。また、それぞれの回路は具体的には図6に示すようになっており、インダクタ18〜25は、図9に示すように回路基板16に配置されている。

[0070] さて、この図8において示した分割線44、45、46は、この回路基板16を4分割するための線である。すなわち、分割線45は矩形状回路基板16において長辺側のほぼ2分の1の部分に設けられ、分割線44、46は短辺側に設けられたものである。ただし、分割線44、46は一直線上ではなく若干ずれた状態に配置されている。このように配置することによって回路基板16は、表面から見た場合に4つのエリアに分割された状態となる。この4つのエリアに分割された状態において、例えばエリア47には、図5に示すダイプレクサ5、スイッチ回路7、フィルタ10が含まれており、エリア48にはダイプレクサ5、スイッチ回路6、7、8が含まれている。また、エリア49には同様にダイプレクサ5、スイッチ回路6、7、8が含まれ、エリア50にはダイプレクサ5、スイッチ回路6、7、8、フィルタ9、10と全てのブロックが含まれている。そして、この状態で図9に示したようなパターンを電磁界シミュレーションによって設計することになる。すなわち、図8に示す回路基板16は、図6に示すインダクタ18〜25及びコンデンサ51〜68を内蔵しているものである。ただし、コンデンサについては、図9では記載されていないが、図6における上述したインダクタ18〜25、コンデンサ51〜68は内蔵しており、それらのパターンを電磁界シミュレーションによって設計していく。このような複数の回路パターンが存在する状態で、しかも図9に示すように複数層に積層された状態のものを電磁界シミュレーションによって設計していく場合には、電磁気的な干渉を考慮しながら設計する必要がある。そのため、一度で全体のシミュレーションを行おうとすると非常に長い時間が必要となる。

[0071] そこで本実施形態では、図8に示すごとく、分割線44、45、46によって回路基板16をエリア47〜50に4分割し、各エリア毎に電磁界シミュレーションにより最適なパターン設計をすることとした。

[0072] すなわち、大規模な回路基板であったとしても、それを分割し、小さなサイズで電磁界シミュレーションを行う場合には、その分割された部分に存在する導体パターンは

、全体のものと比較して少なくなるため、これを電磁界シミュレーションする場合には非常に時間を短縮することができる。ただし、このように回路基板を複数に分割し、分割エリア毎に回路パターンを電磁界シミュレーションによって設計する場合には、当然のことながら、全体を電磁界シミュレーションした結果と比較すると、分割したことによる弊害が予想される。本発明者らは、回路基板の分割時の弊害を少なくする方法を検討し、スパイラルインダクタンスパターンをできるだけ分断しないようにすることが最適な分割方法であることを見出した。回路基板内に存在する導体パターンのうち、スパイラルインダクタンスパターンはインダクタンス値を大きくするために一般的に設けられる。そのため、このようなインダクタンスの大きなパターンを分割した状態でシミュレーションを行った場合、それによる特性への影響が大きくなり、実際に製品化する場合にはこの誤差が大きな問題となる。そこで本発明者らは前述のごとく、スパイラルインダクタンスパターンを2つ以上分断せずに、すなわち、複数個スパイラルインダクタンスパターンが存在する場合でも、分割線で分断されるスパイラルインダクタンスパターンを1つまでとし、分割線によって分けられたエリアごとに回路パターンに対して電磁界シミュレーションを行うこととしたものである。

[0073] すなわち、パターン設計をする際に、最も影響が大きいのが、例えば図9で示した誘電体層37に配置されたインダクタ21、23、24、25である。インダクタ21、23、24、25は、図9に示したように4つのコーナーの近傍に配置されている。このように配置することで、図8に示した分割線44ー46で分割していく際に、これらのスパイラルインダクタンスパターンをできるだけ分割しないことが可能になる。すなわち、スパイラルインダクタンスパターンを2個以上分割せずに分割線44ー46を引くことで、各エリア47ー50の電磁界シミュレーションを行うことができる。

[0074] ここで、図6、図9に示すインダクタ18ー25は、この限られた領域で所望の値を得ようとした場合、スパイラルインダクタンスパターンとならざるを得ない。そのため、この大きなインダクタンスパターンを切断した状態で電磁界シミュレーションするということはその結果に重大な影響を及ぼすことが考えられる。従って、本実施形態においては、図9にも示したように、インダクタンスパターン18ー25は、できるだけコーナー近傍に配置し、それにより分割線44ー46でできるだけ切断しないようにする必要がある。

- [0075] 本実施形態では、このようなシミュレーションによる回路設計を行いやすくするため、回路基板を矩形状とし、予めこの回路基板の少なくとも3つのコーナー部近傍にそれぞれスパイラルインダクタンスパターンを配置している。すなわち、この矩形上の回路基板を例えば4分割しようとした場合、その1辺側とそれに接する他辺側のそれぞれの略中央で分割線を引くことで、先ほどのようにコーナー部にスパイラルインダクタンスパターンを配置しておくことで、分割線を引く場合において、最も影響の大きなスパイラルインダクタンスパターンを切断することなく、電磁界シミュレーションを分割して行うための分割線を引くことが可能となる。
- [0076] このとき、回路基板の3つのコーナー部に配置されたスパイラルインダクタンスパターンを、コーナー部の頂点からスパイラルインダクタンスパターンまでの最短距離 L_1 と、前記スパイラルインダクタンスパターンの外接円の直径 L_2 の関係が、 $L_1 \leq L_2$ となるように配置することにより、スパイラルインピーダンスパターンを分断せずに回路基板を分割することが容易になる。
- [0077] このような回路基板の構成とすることで、本実施形態では、従来、この同じような電磁界シミュレーションを行った場合には数日間の計算が必要であったが、わずか数時間で電磁界シミュレーションによる設計が可能となり、しかもその得られた結果は上記数日間かかっていた結果とほとんど変わらない値を得ることが可能になる。
- [0078] また、小さなエリアごとの電磁界シミュレーションによる設計手法を用いることにより、様々な素子、すなわちインダクタ、コンデンサなどを水平方向だけではなく、積層方向にも配置しても短時間での電磁界シミュレーションにより最適な設計が可能となる。これは、水平方向のみに配置した場合と比較して、デバイス、回路基板の小型化にも貢献することができる。
- [0079] また、小さなエリアごとの電磁界シミュレーションによる設計手法を用いることにより、特定のエリアに含まれる特定のパターン形状を変化させた場合に、当該エリアについてのみ再度シミュレーションを実行し、当該エリアに関するシミュレーション結果と他のエリアのシミュレーション結果とを合成だけで、基板全体のシミュレーション結果を取得できる。例えば、図6のエリア48に配置されるインダクタ21の形状を変化させた特性が見たい場合、エリア48のみを解析し、それ以外の部分は元々の解析結果を

再利用し組み合わせ計算を実行することにより、全体を解析することなく、別のパターンでの特性を見ることができる。これを利用することで組み合わせ計算により、パターンの最適化に要する時間を従来に比べて大幅に短縮することができる。

産業上の利用可能性

- [0080] 本発明は、多層回路基板の電磁界解析を短時間で実行でき、回路基板の設計に要する時間およびコストを大幅に低減できる点で有用である。

請求の範囲

- [1] 導体パターンの形状および信号解析条件を用いて電磁界解析を実行する回路基板の電磁界解析方法であって、
- 多層回路基板における各層での導体パターンの形状を初期設定するステップと、
- 導体パターンにおいて、外部からの信号入力または外部への信号出力のためのポートを初期設定するステップと、
- 多層回路基板を複数のエリアに二次元的に分割するステップと、
- エリア分割によって新たに生成された導体パターンのエッジに、追加のポートを設定するステップと、
- 初期のポートおよび追加のポートについて個別の解析条件をそれぞれ設定するステップと、
- 該解析条件に基づいて、多層回路基板での電磁界解析を分割エリアごとに実行するステップと、
- 各分割エリアに関する電磁界解析の結果を合成して、基板全体の電磁界解析の結果を得るステップとを含む回路基板の電磁界解析方法。
- [2] 多層回路基板を複数のエリアに分割するステップにおいて、互いに平行な複数の直線を含む分割線を用いて二次元的に分割するようにした請求項1記載の回路基板の電磁界解析方法。
- [3] 多層回路基板を複数のエリアに分割するステップにおいて、互いに垂直な複数の直線を含む分割線を用いて二次元的に分割するようにした請求項1記載の回路基板の電磁界解析方法。
- [4] 多層回路基板を複数のエリアに分割するステップにおいて、折れ線または曲線を含む分割線を用いて二次元的に分割するようにした請求項1記載の回路基板の電磁界解析方法。
- [5] 多層回路基板を複数のエリアに分割するステップにおいて、ディスプレイ画面上に多層回路基板の平面図を表示し、ポインティングデバイスを用いて分割線の形状を指定するようにした請求項1記載の回路基板の電磁界解析方法。
- [6] エリア分割によって新たに生成された導体パターンのエッジ数を算出するステップ

を含む請求項1記載の回路基板の電磁界解析方法。

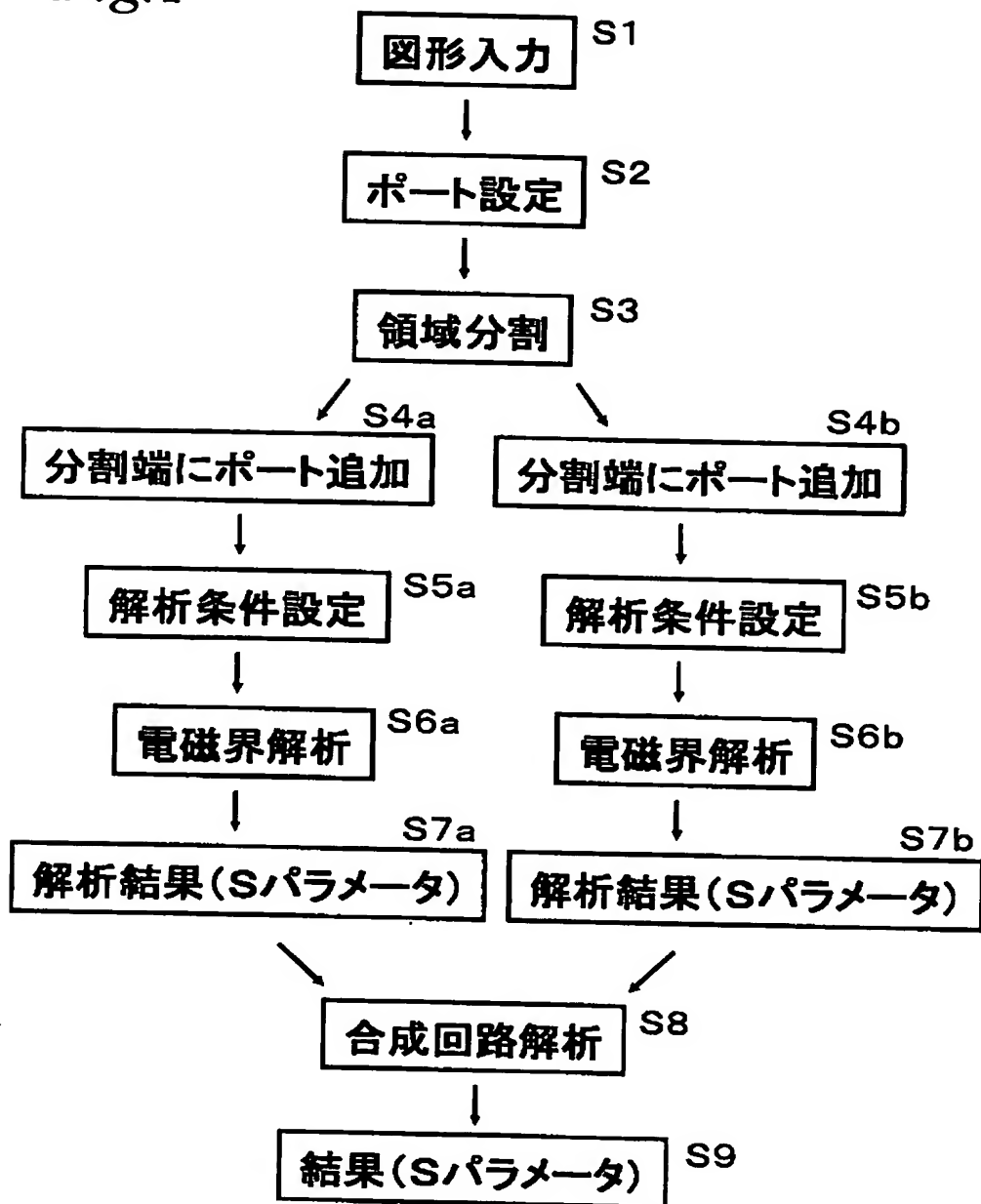
- [7] 追加のポートを設定するステップにおいて、算出したエッジ数に対応した個数のポートを追加するようにした請求項6記載の回路基板の電磁界解析方法。
- [8] 追加のポートを設定するステップにおいて、エッジ中心にポートを追加するようにした請求項1記載の回路基板の電磁界解析方法。
- [9] ある層での導体パターンのエッジに設けられたポート位置と、他の層での導体パターンのエッジに設けられたポート位置とが一致した場合、いずれか一方のポート位置をずらしてディスプレイ画面上に表示するようにした請求項1記載の回路基板の電磁界解析方法。
- [10] 特定の分割エリアに含まれる導体パターンの形状を変化させて、該分割エリアについて電磁界解析を再度実行するステップと、
該分割エリアに関する電磁界解析の結果と他の分割エリアに関する電磁界解析の結果を合成して、基板全体の電磁界解析の結果を得るステップとを含む請求項1記載の回路基板の電磁界解析方法。
- [11] 導体パターンの形状および信号解析条件を用いて電磁界解析を実行する回路基板の電磁界解析装置であって、
多層回路基板における各層での導体パターンの形状を初期設定するための手段と、
、
導体パターンにおいて、外部からの信号入力または外部への信号出力のためのポートを初期設定するための手段と、
多層回路基板を複数のエリアに二次元的に分割するための手段と、
エリア分割によって新たに生成された導体パターンエッジに、追加のポートを設定するための手段と、
初期のポートおよび追加のポートについて個別の解析条件をそれぞれ設定するための手段と、
該解析条件に基づいて、多層回路基板での電磁界解析を分割エリアごとに実行するための手段と、
各分割エリアに関する電磁界解析の結果を合成して、基板全体の電磁界解析の結果

果を得るための手段とを備える回路基板の電磁界解析装置。

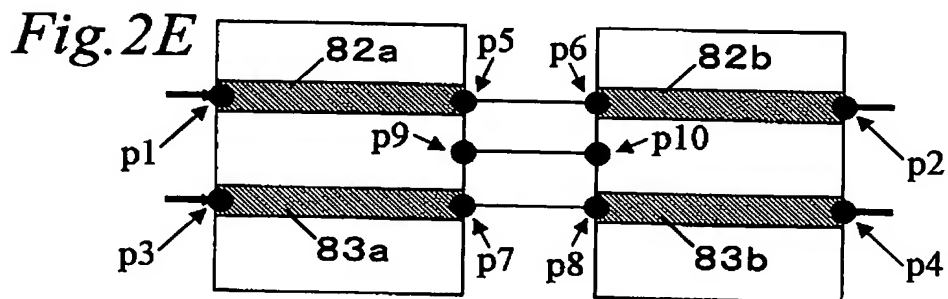
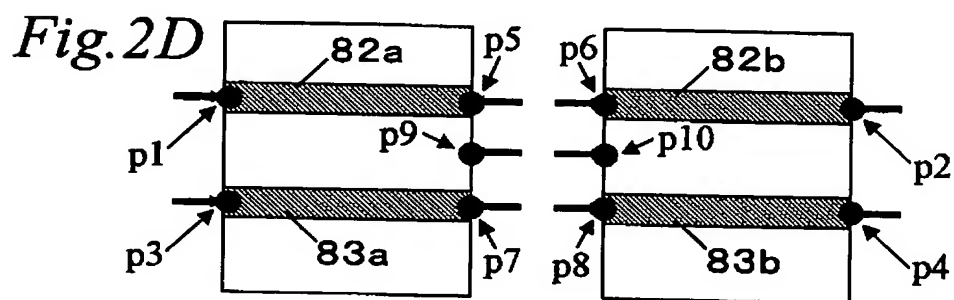
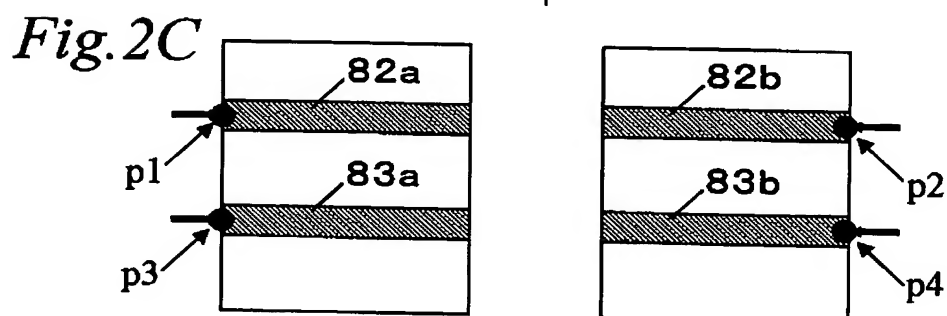
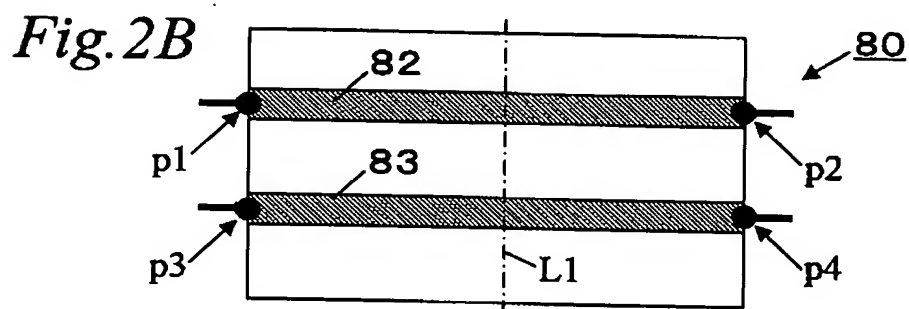
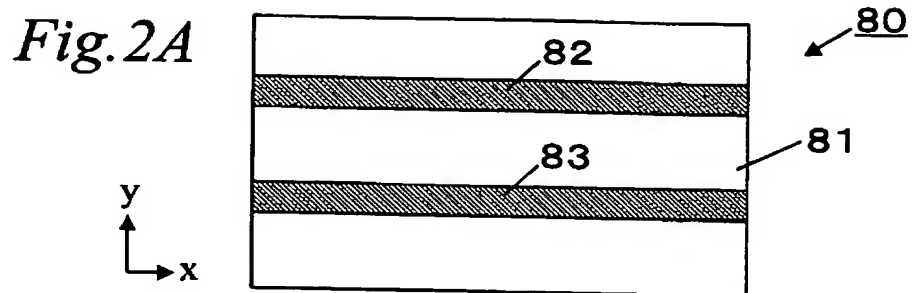
- [12] 導体パターンを複数層有する矩形状の回路基板において、
前記導体パターンに複数のスパイラルインダクタンスパターンを含み、
前記回路基板の少なくとも3つのコーナー部に、前記複数のスパイラルインダクタンスパターンの内の3つが配置された回路基板。
- [13] 前記回路基板の前記3つのコーナー部に配置された前記スパイラルインダクタンスパターンが、
前記コーナー部の頂点から前記スパイラルインダクタンスパターンまでの最短距離 $L1$ と、前記スパイラルインダクタンスパターンの外接円の直径 $L2$ の関係が、 $L1 \leq L2$ となるように配置されている請求項12記載の回路基板。
- [14] 請求項12または13に記載の回路基板と、
回路基板に搭載された半導体集積回路とを備える積層デバイス。
- [15] 複数のスパイラルインダクタンスパターンを含む導体パターンを複数層有する回路基板の設計方法において、
前記回路基板を分割線により複数の分割エリアに分割するステップと、
前記複数の分割エリア毎にシミュレーションによって回路パターンを設計するステップと、を有し、
前記分割線は、前記回路基板内に複数配置される前記スパイラルインダクタンスパターンの内の2つ以上を分断しないようにした回路基板の設計方法。
- [16] 複数のスパイラルインダクタンスパターンを含む導体パターンを複数層有する回路基板の設計方法において、
前記回路基板の少なくとも3つのコーナー部に、前記複数のスパイラルインダクタンスパターンの内の3つが配置されている請求項15記載の回路基板の設計方法。

[図1]

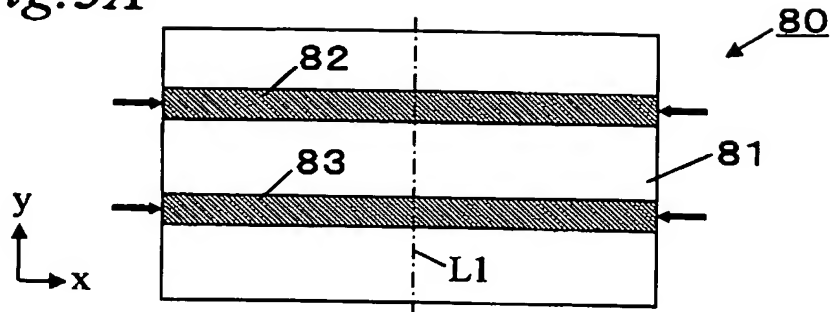
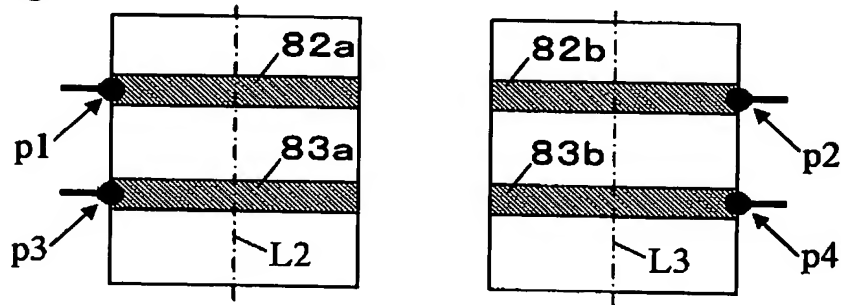
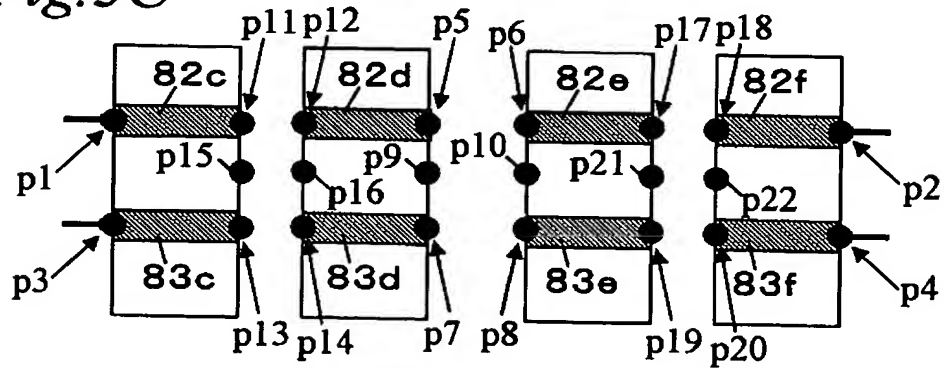
Fig. 1



[図2]



[図3]

Fig.3A*Fig.3B**Fig.3C*

[図4]

Fig. 4A

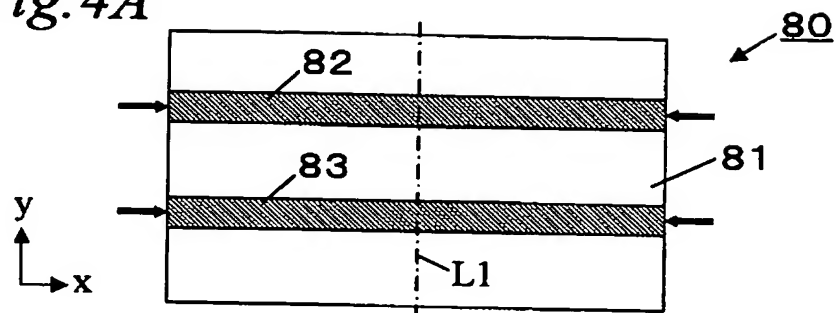


Fig. 4B

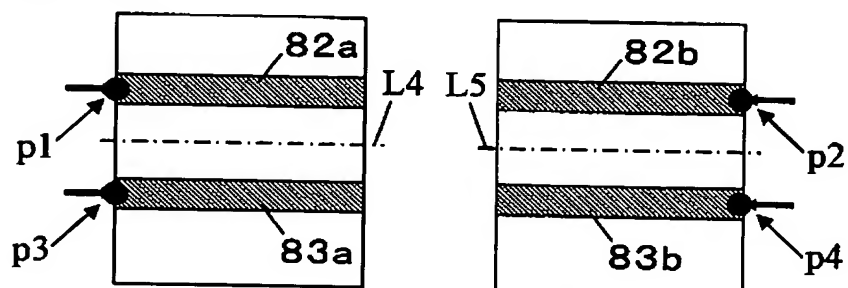
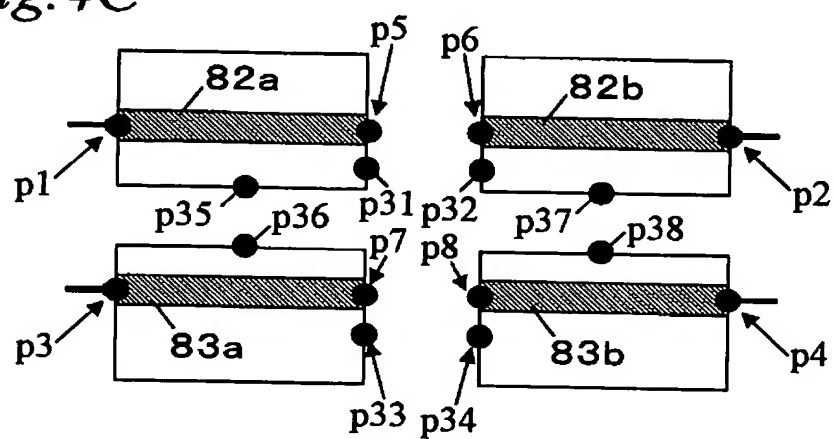
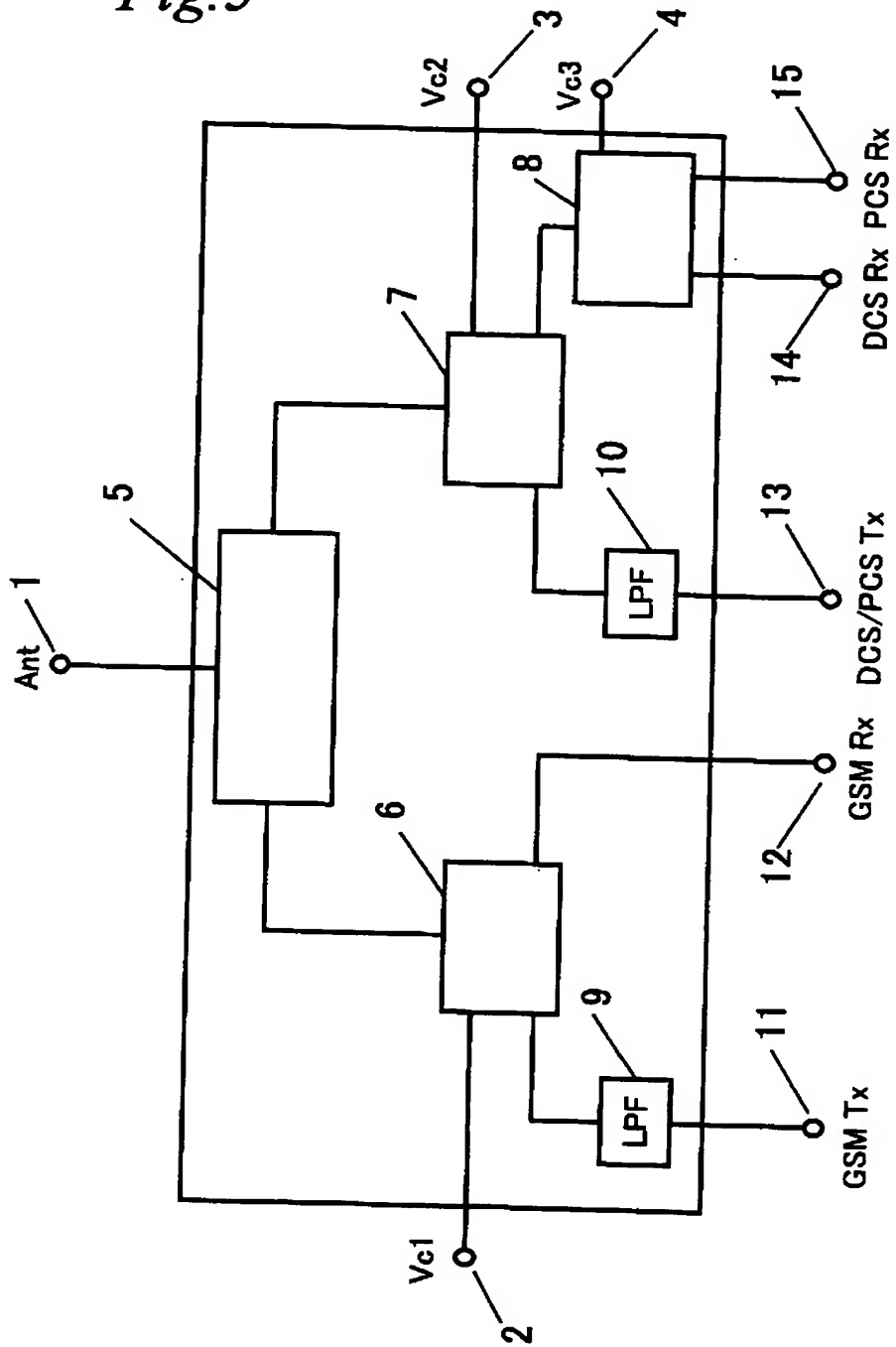


Fig. 4C



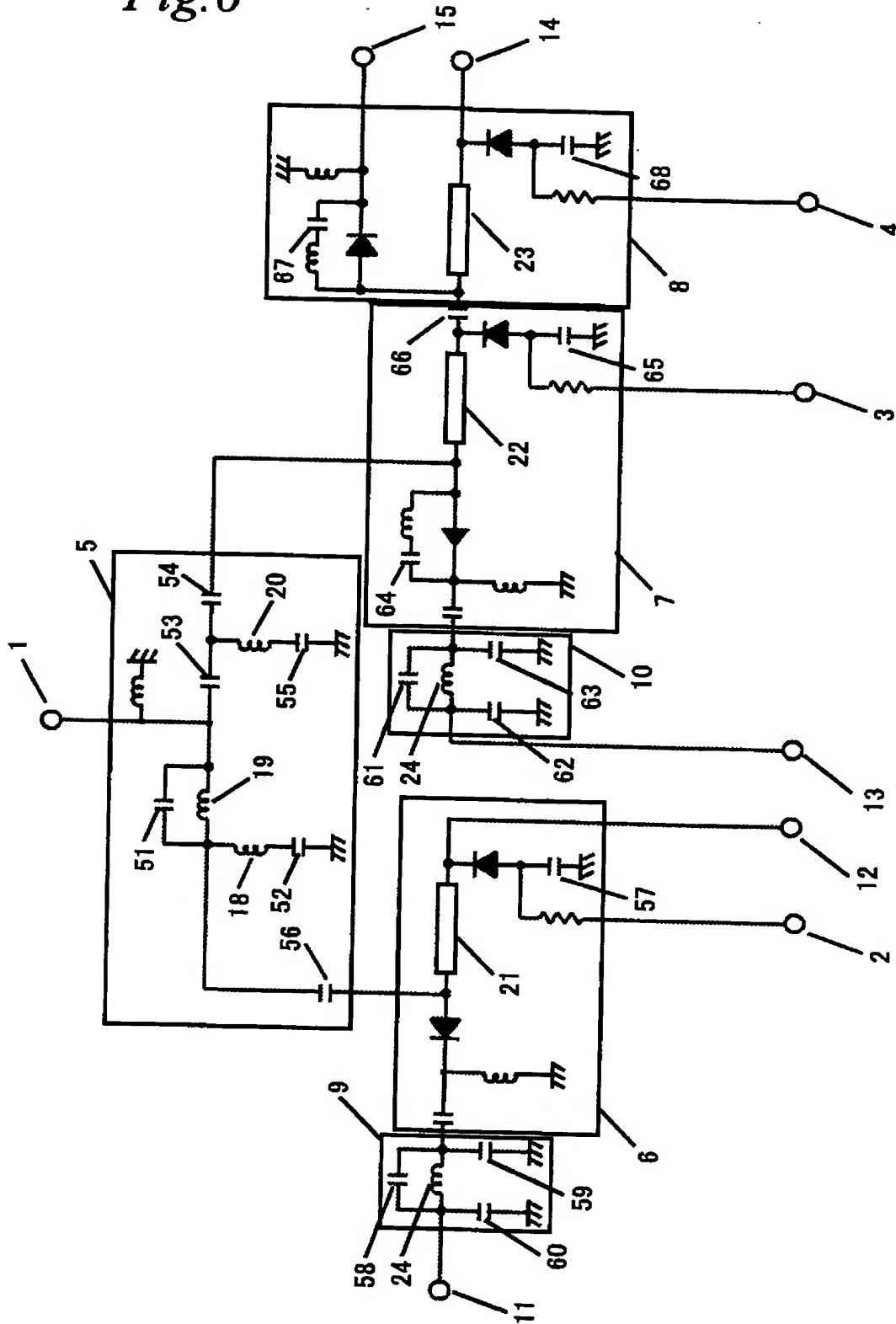
[図5]

Fig. 5

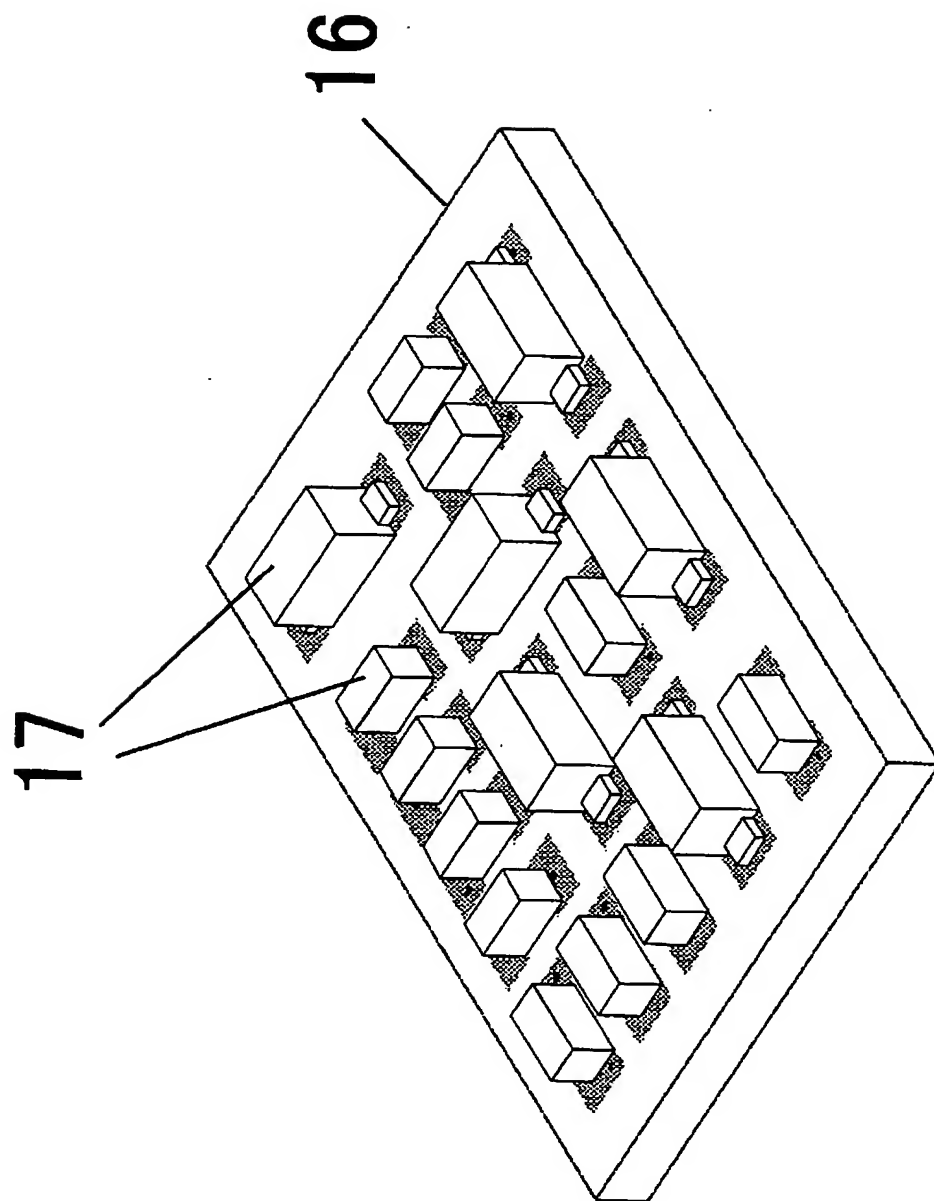


[図6]

Fig. 6

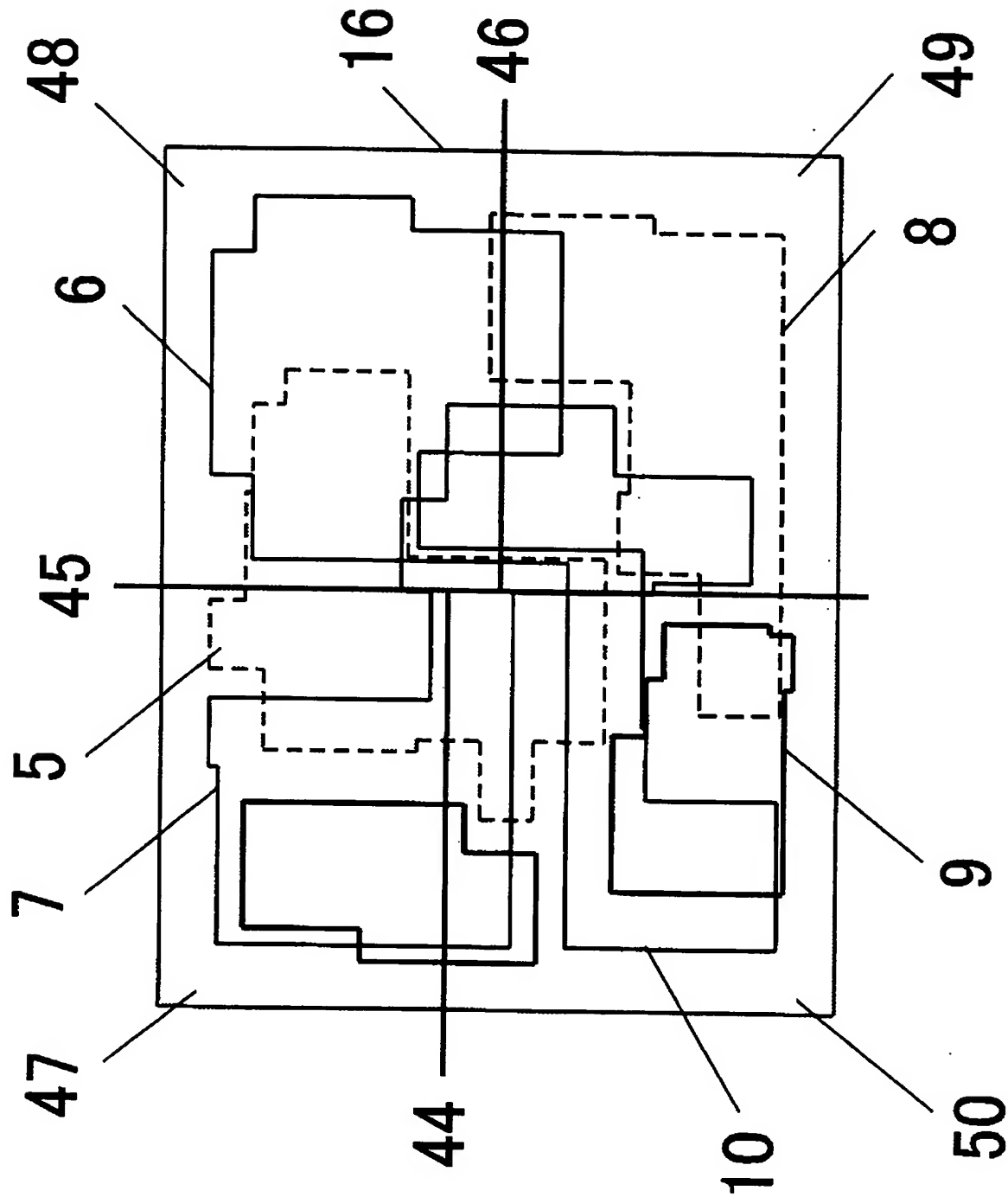


[図7]

Fig. 7

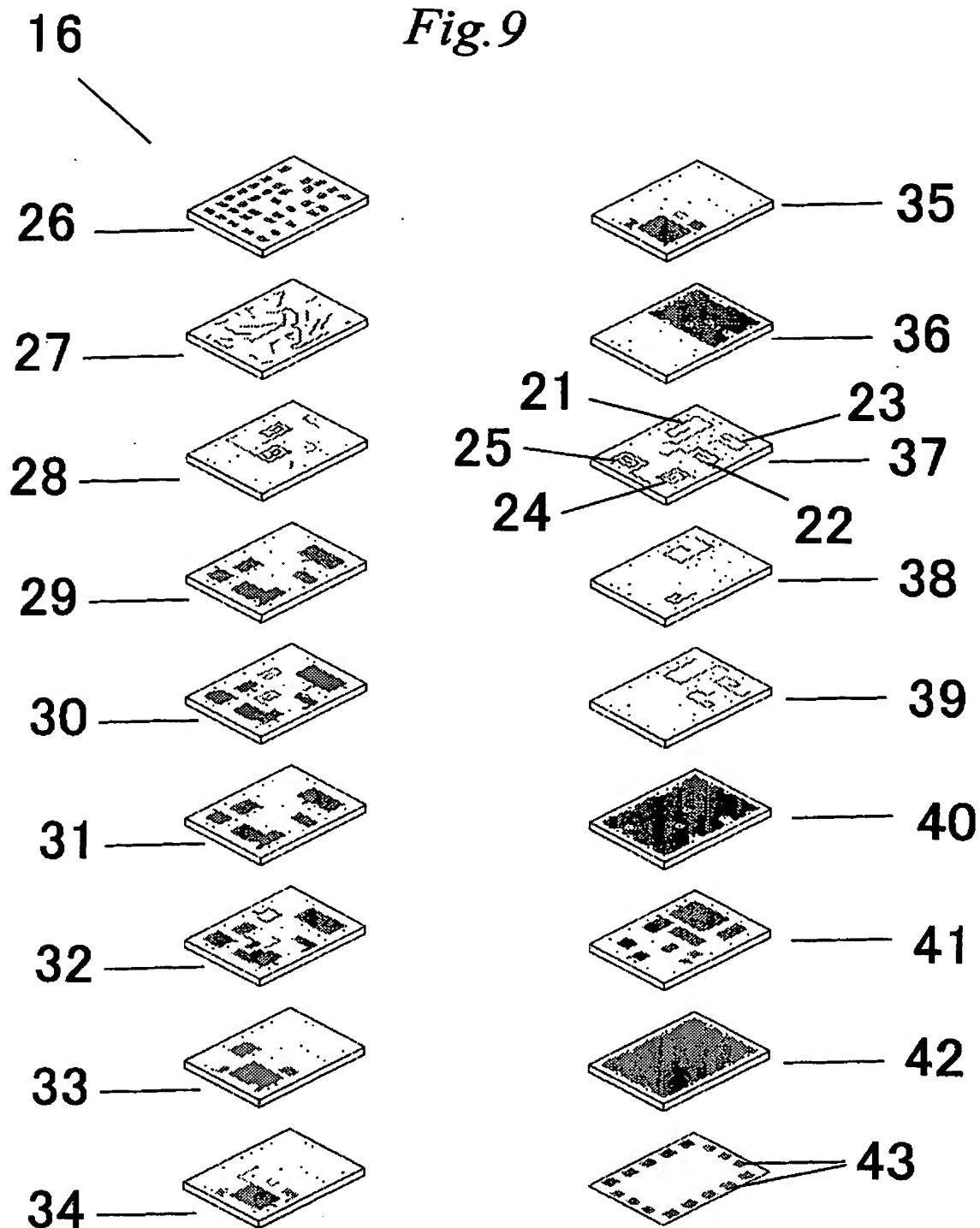
[図8]

Fig. 8

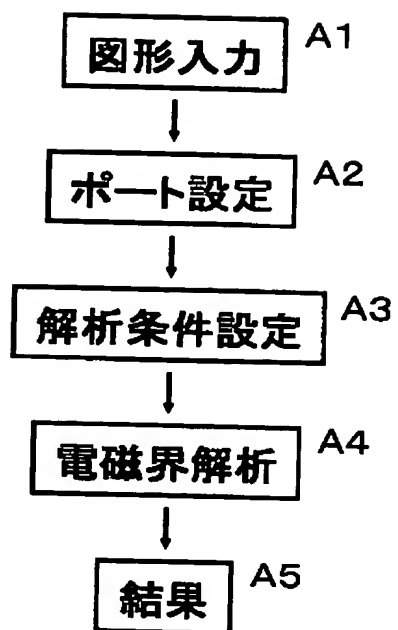


[図9]

Fig.9



[図10]

Fig. 10

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/011242

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ G06F17/50, H05K3/00, G01R29/08

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ G06F17/50, H05K3/00, G01R29/08

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)
IEEE Xplore

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	T: WATANABE et al., Parallel-Distributed FTDT-Based Full-Wave Simulator for Large-Scale Printed Wiring Boards, 2002 IEEE Topical Meeting on Electrical Performance of Electronic Packaging, October, 2002, pages 287 to 290	1-11 15-16
X Y	JP 8-32018 A (Matsushita Electric Industrial Co., Ltd.), 02 February, 1996 (02.02.96), Figs. 2, 3, 11, 13 (Family: none)	12-14 15-16
X Y	JP 2002-368565 A (Murata Mfg. Co., Ltd.), 20 December, 2002 (20.12.02), Fig. 11 (Family: none)	12-14 15-16

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
04 October, 2004 (04.10.04)

Date of mailing of the international search report
19 October, 2004 (19.10.04)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/011242

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 10-260954 A (Fujitsu Ltd.), 29 September, 1998 (29.09.98), Par. Nos. [0015] to [0017] (Family: none)	1, 11

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/011242

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:
2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:
3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

Claims 1-11, 15, 16, (first invention) relate to a technique of dividing a circuit board into areas and making analysis for each area.

Claims 12-14 (second invention) relate to a circuit board or laminated device on which a spiral inductance pattern is mounted under a predetermined condition.

The first and second inventions involve no common technical idea.

1. ☒ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☐ As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:
4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest

- ☐ The additional search fees were accompanied by the applicant's protest.
- ☒ No protest accompanied the payment of additional search fees.

A. 発明の属する分野の分類 (国際特許分類 (IPC))		
Int. Cl ⁷ G06F17/50, H05K3/00, G01R29/08		
B. 調査を行った分野		
調査を行った最小限資料 (国際特許分類 (IPC))		
Int. Cl ⁷ G06F17/50, H05K3/00, G01R29/08		
最小限資料以外の資料で調査を行った分野に含まれるもの		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)		
IEEE Explore		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y	T. Watanabe et al., Parallel-Distributed FDTD-Based Full-Wave Simulator for Large-Scale Printed Wiring Boards, 2002 IEEE Topical Meeting on Electrical Performance of Electronic Packaging, Oct. 2002, p287-290	1-11 15-16
X Y	JP 8-32018 A (松下電器産業株式会社) 1996.02.02, 図2, 3, 11, 13 (ファミリー無し)	12-14 15-16
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献		
国際調査を完了した日	04.10.2004	国際調査報告の発送日 19.10.2004
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 田中 幸雄	5H 9191
電話番号 03-3581-1101 内線 3531		

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y	JP 2002-368565 A (株式会社村田製作所) 2002. 12. 20, 図11 (ファミリー無し)	12-14 15-16
A	JP 10-260954 A (富士通株式会社) 1998. 09. 29, 【0015】-【0017】 (ファミリー無し)	1, 11

第II欄 請求の範囲の一部の調査ができないときの意見 (第1ページの2の続き)

法第8条第3項(PCT17条(2)(a))の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求の範囲 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。つまり、
2. ☐ 請求の範囲 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求の範囲 _____ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第III欄 発明の単一性が欠如しているときの意見 (第1ページの3の続き)

次に述べるようにこの国際出願に二以上の発明があるところの国際調査機関は認めた。

請求の範囲1-11, 15, 16 (第1の発明) は回路基板を複数のエリアに分割し、各エリア毎に解析を行う技術である。

請求の範囲12-14 (第2の発明) は所定の条件でスパイラルインダクタンスパターンが実装された回路基板または積層デバイスである。

第1の発明と第2の発明とは、共通した技術思想を有していない。

1. ☒ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求の範囲について作成した。
2. ☐ 追加調査手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求の範囲のみについて作成した。
4. ☐ 出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求の範囲について作成した。

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあった。
- ☒ 追加調査手数料の納付と共に出願人から異議申立てがなかった。